

PCT/KR 02/01763

RO/KR 18.09.2002 #2

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

REC'D 18 OCT 2002

WIPO PCT

대한민국 특허청

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 :
Application Number

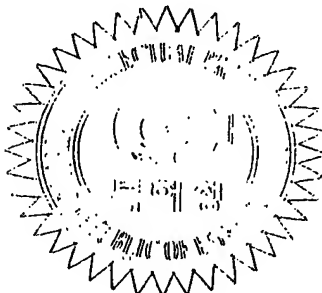
10-2002-0045563
PATENT-2002-0045563

출원년월일 :
Date of Application

2002년 08월 01일
AUG 01, 2002

출원인 :
Applicant(s)

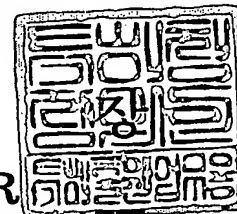
삼성전자 주식회사
SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 18 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.08.01
【발명의 명칭】	박막 트랜지스터 기판
【발명의 영문명칭】	Thin film transistor array panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	김상수
【성명의 영문표기】	KIM, SANG SOO
【주민등록번호】	560709-1177821
【우편번호】	135-968
【주소】	서울특별시 강남구 대치1동 삼성아파트 107동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	김동규
【성명의 영문표기】	KIM, DONG GYU
【주민등록번호】	630901-1162114
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167번지 523동 1305호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 인 (인)

0020045563

출력 일자: 2002/10/10

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 18 면 18,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 47,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

게이트 배선과 유지 전극 배선이 가로 방향으로 형성되어 있고, 이들과 교차하는 데이터 배선이 세로 방향으로 형성되어 있다. 데이터 배선과 게이트 배선이 교차하여 정의하는 화소 영역에는 화소 전극과 박막 트랜지스터가 형성되어 있다. 유지 전극 배선은 각 화소 영역마다 형성되어 있는 유지 전극 연결부를 통하여 서로 연결되어 있다. 이렇게 하면, 게이트 패드와 표시 영역 사이의 공통바를 생략하거나 그 폭을 축소한다. 이를 통하여 펜아웃 영역을 충분히 확보함으로써 배선간 저항 차이를 저감할 수 있다.

【대표도】

도 1

【색인어】

박막트랜지스터기판, 유지전극선, 펜아웃

【명세서】

【발명의 명칭】

박막 트랜지스터 기판{Thin film transistor array panel}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 개략도이다.

도 2는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도 3은 도 2의 III-III'선에 대한 단면도이다.

도 4는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도 5는 도 4의 V-V'선에 대한 단면도이다.

도 6은 도 4의 VI-VI'선에 대한 단면도이다.

도 7a 내지 도 12c는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 그 순서에 따라 나타낸 배치도 또는 단면도이다.

도 13은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도 14는 도 13의 XIV-XIV'선에 대한 단면도이다.

도 15는 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도 16은 도 15의 XVI-XVI'선에 대한 단면도이다.

도 17은 도 15의 XVII-XVII'선에 대한 단면도이다.

도 18은 본 발명의 제6 실시예에 따른 박막 트랜지스터 기판의 개략도이다.

※도면의 주요 부분에 대한 부호의 설명※

95 : 보조 게이트 패드	97 : 보조 데이터 패드
110 : 절연 기판	121 : 게이트선
123 : 게이트 전극	125 : 게이트 패드
131 : 유지 전극선	140 : 게이트 절연층
151, 153, 157, 159 : 반도체층	161, 162, 163, 165, 169 : 저항성 접촉층
171 : 데이터선	173 : 소스 전극
175 : 드레인 전극	177 : 유지 용량용 전극
179 : 데이터 패드	190 : 화소 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <23> 본 발명은 박막 트랜지스터 기판에 관한 것으로서, 특히 화면 표시부와 패드부 사이에 배선과 패드를 연결하기 위한 연결부가 형성되어 있는 팬아웃부를 가지는 박막 트랜지스터 기판에 관한 것이다.
- <24> 박막 트랜지스터 기판은 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등에서 각 화소를 독립적으로 구동하기 위한 회로 기판으로써 사용된다. 박막 트랜지스터 기판은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극, 게이트 배선을 덮어 절연하는 게이트 절연막 및 박막 트랜지스터와 데이터 배선을 덮어 절연

하는 보호막 등으로 이루어져 있다. 박막 트랜지스터는 게이트 배선의 일부인 게이트 전극과 채널을 형성하는 반도체층, 데이터 배선의 일부인 소스 전극과 드레인 전극 및 게이트 절연막과 보호막 등으로 이루어진다. 박막 트랜지스터는 게이트 배선을 통하여 전달되는 주사 신호에 따라 데이터 배선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자이다.

<25> 이러한 박막 트랜지스터 기판에는 게이트선과 데이터선에 구동 신호를 인가하기 위하여 구동 집적 회로가 연결된다. 구동 집적 회로는 패드를 통하여 게이트선 또는 데이터선에 연결되는데, 이 패드는 구동 집적 회로와의 연결을 위하여 좁은 영역에 밀집하여 형성된다. 이에 비하여 화면 표시 영역에 위치하는 게이트선이나 데이터선의 선간 간격은 화소 크기에 따라 정해지는 폭을 가져야 하므로 패드 사이의 간격에 비하여 더 큰 폭을 가진다. 따라서, 패드부와 화면 표시 영역 사이에는 배선의 선간 간격이 점점 넓어지는 영역이 존재하는데, 이 부분을 팬아웃(fanout) 영역이라 한다. 그런데 이러한 팬아웃 영역으로 인하여 배선의 길이가 서로 다르게 되고, 따라서 RC 지연이 배선마다 달라지게 된다. RC 지연의 차이는 화상의 차이로 나타나게 되어 화질을 떨어뜨리게 된다.

<26> 한편, 팬아웃 영역은 화소가 형성되는 표시 영역과 기판의 모서리 사이의 좁은 면적에 형성되며, 유지 전극선들을 모두 연결하여 공통 전위를 인가하기 위한 공통 바(bar)가 활성 영역과 패드부 사이에 형성되는 경우에는 공통 바가 차지하는 면적도 팬아웃 영역에서 제외하여야 한다. 그런데 팬아웃 영역이 좁아지면 좁아질수록 팬아웃 영역에서 배선이 꺾이는 각도가 커져 배선간 길이 차이가 심해지게 된다.

다. 또한 배선의 폭도 좁혀서 형성하여야 한다. 따라서 팬아웃 영역에서 발생하는 배선간 저항차가 심화된다.

<27> 이러한 문제는 COG(chip on glass) 방식에 있어서는 더욱 심화된다. COG 칩(chip)의 경우는 출력 핀의 핀간 거리(피치)가 $45\mu\text{m}$ 정도로 TAB(tape automatic bonding) 방식에서의 출력 패드의 피치가 $100\mu\text{m}$ 인 것에 비하여 크게 축소된다. 따라서 배선의 꺾이는 각도가 더욱 커져야 하기 때문이다.

【발명이 이루고자 하는 기술적 과제】

<28> 본 발명은 본 발명이 이루고자 하는 기술적 과제는 박막 트랜지스터 기판의 배선 사이의 RC 지연의 차이를 줄이는 것이다.

【발명의 구성 및 작용】

<29> 본 발명에서는 이러한 목적을 달성하기 위하여, 각 화소 영역 내에 연결 경로를 형성하여 유지 전극 배선을 서로 연결한다.

<30> 구체적으로는 절연 기판, 상기 절연 기판 위에 형성되어 있는 게이트선, 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 다수의 게이트 배선, 상기 절연 기판 위에 형성되어 있으며 유지 전극선 및 유지 전극을 포함하는 다수의 유지 전극 배선, 상기 게이트 배선 및 상기 유지 전극 배선 위에 형성되어 있는 게이트 절연층, 상기 게이트 절연층 위에 형성되어 있는 반도체층, 상기 게이트 절연층 위에 있으며, 상기 게이트선과 절연되어 교차하도록 형성되어 있는 데이터선, 상기 반도체층의 일부분과 접촉하고 있는 소스 전극, 상기 소스 전극과 대향하고 있으며 상기 반도체층의 다른 일부분과 접촉하고 있는 드레인

전극, 상기 데이터선의 일단에 연결되어 있는 데이터 패드를 포함하는 데이터 배선, 상기 데이터 배선 위에 형성되어 있는 보호층, 상기 보호층 위에 형성되어 있으며 상기 드레인 전극과 전기적으로 연결되어 있는 화소 전극, 상기 보호층 위에 형성되어 있으며 상기 게이트선을 사이에 두고 양측에 위치하는 상기 유지 전극선과 상기 유지 전극을 연결하는 유지 전극 연결부를 더 포함하는 박막 트랜지스터 기판을 마련한다.

<31> 또는 절연 기판, 상기 절연 기판 위에 형성되어 있는 게이트선, 게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선, 상기 절연 기판 위에 형성되어 있으며 유지 전극선 및 유지 전극을 포함하는 다수의 유지 전극 배선, 상기 게이트 배선 위에 형성되어 있는 게이트 절연층, 상기 게이트 절연층 위에 형성되어 있으며, 비정질 규소층, 저항성 접촉층 및 금속층의 3중층으로 이루어져 있고, 데이터선, 상기 데이터선과 연결되어 있는 소스 전극, 상기 소스 전극과 대향하고 있는 드레인 전극 및 데이터 패드를 포함하는 데이터 배선, 상기 데이터 배선 위에 형성되어 있는 보호층, 상기 보호층 위에 형성되어 있으며, 상기 드레인 전극과 연결되는 화소 전극, 상기 보호층 위에 형성되어 있으며, 상기 게이트선을 사이에 두고 양측에 위치하는 상기 유지 전극선과 상기 유지 전극을 연결하는 유지 전극 연결부를 더 포함하는 박막 트랜지스터 기판을 마련한다.

<32> 이 때, 상기 데이터 배선과 상기 보호층 사이에 선풍터를 더 포함할 수 있고, 상기 유지 전극선의 한쪽 끝을 모두 연결하는 공통바를 더 포함할 수 있다.

<33> 또는, 절연 기판, 상기 절연 기판 위에 가로 방향으로 길게 형성되어 있는 제1 신호선, 상기 절연 기판 위에 가로 방향으로 길게 형성되어 있는 제2 신호선, 상기 제1 및 제2 신호선과 절연되어 교차하고 있으며 세로 방향으로 길게 형성되어 있는 제3 신호선

, 상기 제1 신호선과 상기 제3 신호선이 교차하여 정의하는 화소 영역마다 형성되어 있는 화소 전극, 상기 제1 신호선, 상기 제3 신호선 및 상기 화소 전극에 연결되어 있는 박막 트랜지스터를 포함하고, 상기 제2 신호선은 상기 화소 영역마다 형성되어 있는 연결 경로를 통하여 서로 연결되어 있는 박막 트랜지스터 기판을 마련한다.

<34> 이 때, 상기 제2 신호선의 한쪽 끝을 연결하는 공통바를 더 포함할 수 있다.

<35> 또는, 절연 기판, 상기 절연 기판 위에 가로 방향으로 길게 형성되어 있으며 제1 신호 패드를 포함하는 제1 신호선, 상기 절연 기판 위에 가로 방향으로 길게 형성되어 있는 제2 신호선, 상기 제1 및 제2 신호선과 절연되어 교차하고 있으며 세로 방향으로 길게 형성되어 있으며 제3 신호 패드를 포함하는 제3 신호선, 상기 제1 신호선과 상기 제3 신호선이 교차하여 정의하는 화소 영역마다 형성되어 있는 화소 전극, 상기 제1 신호선, 상기 제3 신호선 및 상기 화소 전극에 연결되어 있는 박막 트랜지스터, 상기 제2 신호선의 상기 제1 신호 패드 반대쪽 단부를 연결하는 제1 공통바, 상기 제2 신호선의 상기 제1 신호 패드쪽 단부를 연결하는 제2 공통바를 포함하고, 상기 제2 공통바는 150 μm 이하의 폭을 가지는 박막 트랜지스터 기판을 마련한다.

<36> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<37> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있

는 경우 뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<38> 이제 본 발명의 실시예에 따른 박막 트랜지스터 기판 및 그의 제조방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

<39> 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 개략도이다.

<40> 절여 기판(110) 위에 게이트선(121)이 가로 방향으로 뻗어 있고, 게이트선(121)과 절연되어 교차하는 데이터선(171)이 세로 방향으로 뻗어 있다. 게이트선(121)의 오른쪽 끝과 데이터선(171)의 위쪽 끝에는 각각 게이트 패드(125)와 데이터 패드(179)가 형성되어 있다. 도시하지는 않았으나 게이트 패드(125)와 표시 영역[게이트선(121)과 데이터선(171)이 교차하는 영역] 사이에는 팬아웃 영역이 형성되어 있다. 이웃하는 두 게이트선(121) 사이 마다에는 유지 전극선(131)이 가로 방향으로 형성되어 있고, 이들 유지 전극선(131)은 유지 전극(133)과 유지 전극 연결부(91)에 의하여 기판(110) 전체에서 서로 연결되어 있다. 또 유지 전극선(131)은 오른쪽의 공통바(132)를 통하여 서로 연결되어 있다. 공통바(132)의 한쪽 끝에는 패드(134)가 형성되어 있다.

<41> 이와 같이, 유지 전극선(131)을 유지 전극(133)과 유지 전극 연결부(91)를 이용하여 연결하기 때문에 게이트 패드(125)와 표시 영역 사이에 공통바를 형성하지 않아도 된다. 따라서 팬아웃 영역을 최대한으로 확보함으로써 팬아웃 영역에서 배선이 꺾이는 각도를 완화할 수 있고, 이를 통하여 배선간 저항차를 저감할 수 있다.

<42> 아래의 표 1은 본 발명에 따른 경우와 종래와 같이 공통바를 형성한 경우에 있어서 팬아웃 영역에서의 배선간 저항차를 비교한 것이다. 15 인치 XGA급 패널에서 250 채널,

45 μ m의 피치를 가지는 COG IC(integrated circuit) 3개를 등간격으로 배치한 경우를 대상으로 측정하였다.

<43> 【표 1】

		팬아웃 길이	선폭	면길이	면저항	저항(ohm)	저항차(ohm)
공통 바가 있는 경우	가장 긴 배 선	30,175	10	3017.5	0.2	603.5	603.5-41.7 =561.8
	가장 짧은 배선	2,087	10	208.7	0.2	41.7	
본 발명	가장 긴 배 선	32,175	15	2145	0.2	429	429-345 =394.5
	가장 짧은 배선	2,587	15	1725	0.2	345	

<44> 표 1을 통하여 공통바가 있는 경우에 비하여 본 발명의 경우에 있어서 가장 긴 배선과 가장 짧은 배선 사이의 저항차가 크게 감소함을 알 수 있다.

<45> 그러면 도 1에 나타난 바와 같이 유지 전극선(131)을 유지 전극(133)과 유지 전극 연결부(91)를 이용하여 연결하는 구체적인 방법에 대하여 제2 내지 제5 실시예를 들어 설명한다.

<46> 도 2는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 3은 도 2의 III-III'선에 대한 단면도이다.

<47> 절연 기판(110) 위에 게이트 배선(121, 123, 125)과 유지 전극 배선(131, 133)이 형성되어 있다.

<48> 게이트 배선(121, 123, 125)은 가로 방향으로 길게 형성되어 있는 게이트선(121), 게이트선의 일 부분인 게이트 전극(123), 게이트선의 일단에 연결되어 있으며 외부로부터 게이트 신호를 인가받아 게이트선(121)으로 전달하는 게이트 패드(125)를 포함한다.

게이트 배선(121, 123, 125)은 테이퍼(taper)되어 게이트 배선의 상부가 하부보다 좁게 형성된다. 이는 게이트 배선(121, 123, 125)과 상부층과의 스텝커버리지(step coverage)를 향상시킨다.

<49> 유지 전극 배선(131)은 가로 방향으로 길게 형성되어 있는 유지 전극선(131)과 유지 전극선(131)에 연결되어 있으며 세로 방향으로 길게 형성되어 있는 유지 전극(133)을 포함한다. 유지 전극 배선(131, 133)도 테이퍼되어 있다.

<50> 게이트 배선(121, 123, 125)과 유지 전극 배선(131, 133) 위에 게이트 절연층(140)이 형성되어 있다.

<51> 게이트 절연층(140)의 소정영역에는 비정질 규소층(151, 153)과 비정질 규소와 같은 반도체 물질에 n형 불순물을 고농도로 도핑하여 형성한 저항성 접촉층(161, 163, 165)이 형성되어 있다.

<52> 저항성 접촉층(161, 163, 165) 및 게이트 절연층(140) 위에는 텅스텐으로 형성한 데이터 배선(171, 173, 175, 179)이 형성되어 있다. 데이터 배선(171, 173, 175, 177, 179)은 게이트선(121)과 수직으로 교차하여 화소 영역을 정의하는 데이터선(171), 데이터선(171)의 분지이며 저항성 접촉층(163)에도 연결되는 소스 전극(173), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)과 대향하도록 형성되어 있는 드레인 전극(175), 데이터선(171)의 일단에 연결되어 있으며 외부 회로와 연결하기 위한 단자인 데이터 패드(179)를 포함한다.

<53> 데이터 배선(171, 173, 175, 179) 위에 드레인 전극(175)을 노출하는 제1 접촉구(181), 게이트 패드(125)를 노출하는 제2 접촉구(182), 데이터 패드(179)를 노출하는 제

3 접촉구(183), 유지 전극(133)의 끝부분을 노출하는 제4 접촉구(184), 유지 전극선(131)을 노출하는 제5 접촉구(185)를 가지는 보호층(180)이 형성되어 있다.

<54> 보호층(180) 위에는 제1 접촉구(181)를 통해 드레인 전극(175)과 연결되는 화소 전극(190), 제2 접촉구(182)를 통해 게이트 패드(125)와 연결되는 보조 게이트 패드(95) 및 제3 접촉구(183)를 통해 데이터 패드(179)와 연결되는 보조 데이터 패드(97)가 형성되어 있다. 또, 제4 및 제5 접촉구(184, 185)를 통하여 유지 전극(133) 및 유지 전극선(131)에 연결되는 유지 전극 연결부(91)가 형성되어 있다. 유지 전극 연결부(91)는 게이트선(121)을 건너 그 양측에 위치하는 유지 전극(133)과 유지 전극선(131)을 연결한다. 따라서, 유지 전극 배선(131, 133)은 기판 전체에서 각 화소 영역마다 형성되어 있는 연결 경로를 통하여 하나로 연결되어 있다. 이처럼 다중의 경로를 통하여 연결되므로 기판의 어느 지점까지라도 낮은 저항이 유지된다.

<55> 도 4는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 5는 도 4의 V-V'선에 대한 단면도이며, 도 6은 도 4의 VI-VI'선에 대한 단면도이다.

<56> 도 4 내지 도 6에 도시한 바와 같이, 투명한 절연 기판(110) 위에 알루미늄, 은 등으로 이루어진 게이트 배선(121, 123, 125)과 유지 전극 배선(131, 133)이 형성되어 있다. 게이트 배선(121, 123, 125)과 유지 전극 배선(131, 133)은 테이퍼되어 있어서 측면이 완만한 경사면을 이룬다. 따라서 게이트 배선(121, 123, 125)과 유지 전극 배선(131, 133)의 상부층이 게이트 배선(121, 123, 125)이나 유지 전극 배선(131, 133)으로 인한 단차로 인하여 단절되거나 손상되는 것을 방지할 수 있다.

<57> 게이트 배선(121, 123, 125)은 게이트선(121), 게이트 패드(125), 게이트 전극(123)을 포함한다. 그리고 유지 전극 배선(131, 133)은 유지 전극선(131)과 유지 전극

(133)을 더 형성한다. 유지 전극선(131)은 후술할 화소 전극과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술한 화소 전극과 게이트선의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

<58> 게이트 배선(121, 123, 125) 및 유지 전극 배선(131, 133) 위에는 게이트 절연층(140)이 형성되어 있고, 게이트 절연층(140)의 소정 영역에 비정질 규소층(151, 153, 159)과 저항성 접촉층(161, 162, 163, 165)이 형성되어 있다.

<59> 그리고 저항성 접촉층(161, 162, 163, 165) 위에 알루미늄, 은 등으로 이루어진 데이터 배선(171, 173, 175, 179)이 형성되어 있다. 데이터 배선(171, 173, 175, 179)은 데이터선(171), 데이터 패드(179), 소스 전극(173), 드레인 전극(175) 및 데이터 패드(179)를 포함한다.

<60> 데이터 배선(171, 173, 175, 179)과 저항성 접촉층(161, 162, 163, 165)은 동일한 패턴으로 형성되며, 비정질 규소층(151, 153, 159)은 박막 트랜지스터의 채널부(151)를 제외하면 동일한 패턴으로 형성되어 있다. 즉, 소스 전극(173)과 드레인 전극(175)이 분리되고, 소스 전극(173) 및 드레인 전극(175) 아래에 위치한 저항성 접촉층(163, 165)도 분리되어 있으나, 비정질 규소층(151)은 분리되지 않고 연결되어 박막 트랜지스터의 채널부를 형성한다.

<61> 데이터 배선(171, 173, 175, 179) 위에는 제1 내지 제5 접촉구(181 내지 185)를 포함하는 보호층(180)이 형성되어 있다. 제1 접촉구(181)는 드레인 전극(175)을 노출하고, 제2 접촉구(182)는 게이트 패드(125)를 노출하고, 제3 접촉구(183)는 데이터 패드(179)를 노출하며, 제4 및 제5 접촉구(184, 185)는 각각 유지 전극(133)과 유지 전극선(131)을 노출한다.

- <62> 그리고 보호층(180) 위에는 제1 접촉구(181)를 통해 드레인 전극(175)과 연결되는 화소 전극(190), 제2 접촉구(182)를 통해 게이트 패드(125)와 연결되는 보조 게이트 패드(95) 및 제3 접촉구(183)를 통해 데이터 패드(179)와 연결되는 보조 데이터 패드(97) 및 제4 및 제5 접촉구(184, 185)를 통하여 유지 전극(133) 및 유지 전극선(131)에 연결되는 유지 전극 연결부(91)가 형성되어 있다. 유지 전극 연결부(91)는 게이트선(121)을 건너 그 양측에 위치하는 유지 전극(133)과 유지 전극선(131)을 연결한다. 따라서, 유지 전극 배선(131, 133)은 기판 전체에서 각 화소 영역마다 형성되어 있는 연결 경로를 통하여 하나로 연결되어 있다. 이처럼 다중의 경로를 통하여 연결되므로 기판의 어느 지점까지라도 낮은 저항이 유지된다.
- <63> 이와 같은 구조를 가지는 박막 트랜지스터를 제조하는 방법을 도 7a 내지 도 12c를 참조하여 상세히 설명한다.
- <64> 도 7a 내지 7c에 도시한 바와 같이, 투명한 절연 기판(110) 위에 알루미늄, 은 등의 금속을 증착하고 패터닝하여 게이트 배선(121, 123, 125) 및 유지 전극 배선(131, 133)을 형성한다.
- <65> 이때 게이트 배선(121, 123, 125)과 유지 전극 배선(131, 133)은 이중층으로 형성할 수 있다.
- <66> 도 8a 내지 도 8b에 도시한 바와 같이, 게이트 배선(121, 123, 125) 및 유지 전극 배선(131, 133) 위에 질화 규소 등의 절연 물질로 이루어진 게이트 절연층(140), 불순물이 도핑되지 않은 비정질 규소층(150), 불순물이 도핑된 비정질 규소층(160A)을 화학 기상 증착법으로 적층한다. 그리고 불순물이 도핑된 비정질 규소층(160A) 위에 알루미늄, 은 등의 금속을 증착하여 금속층(701A)을 형성한다.

- <67> 도 9a 내지 도 9b에 도시한 바와 같이, 금속층(701A) 위에 감광층을 도포한 후 노광 및 현상하여 감광층 패턴(P/R)을 형성한다. 감광층 패턴(P/R)은 박막 트랜지스터의 채널이 형성될 비정질 규소층(151)인 제1 부분(A)은 데이터 배선부가 형성될 부분에 위치한 제2 부분(B) 보다 두께가 얇게 되도록 하며 다른 부분의 감광층은 모두 제거하여 금속층(701A)을 노출한다.
- <68> 이와 같은 감광층의 두께를 조절하는 방법은 슬릿이나 격자 형태의 패턴을 형성하거나 반 투명층을 사용하여 형성할 수 있으며, 필요에 따라 선택하여 사용한다. 이러한 감광층의 두께를 조절하는 방법들은 이미 공지된 것들로 구체적인 설명은 생략한다.
- <69> 도 10a 내지 도 10b에 도시한 바와 같이, 감광층 패턴(P/R)을 마스크로 하여 금속층(701A), 불순물이 도핑된 비정질 규소층(160A), 불순물이 도핑되지 않은 비정질 규소층(150)을 순차적으로 식각하여 데이터 배선(701B, 171, 179), 저항성 접촉층(160B, 161, 162), 비정질 규소층(151, 153, 159)을 형성한다. 여기서 데이터 배선 및 저항성 접촉층은 소스 및 드레인 전극이 되는 부분(701B)과 이들(701B) 아래에 위치하는 저항성 접촉층(160B)은 연결되어 있다. 따라서 완성된 데이터 배선 및 저항성 접촉층의 패턴과는 그 모양이 조금 다르다.
- <70> 좀더 구체적으로 설명하면, 감광층 패턴을 마스크로 한 식각은 다단계로 이루어진다.
- <71> 먼저 감광층 패턴이 형성되지 않은 영역(제3 부분 : C)의 금속층(701A)을 건식 식각하여 불순물이 도핑된 비정질 규소층(160A)을 노출한다.

- <72> 이후 제1 부분(A)의 감광층과 함께 감광층이 형성되지 않은 영역의 불순물이 도핑된 비정질 규소층(160A) 및 불순물이 도핑되지 않은 비정질 규소층(150)을 건식 식각하여 비정질 규소층(151, 153, 159)을 완성한다. 이때, 감광층도 함께 식각되어 제1 부분(A) 하부의 금속층(701A)이 노출된다.
- <73> 다음, 감광층을 애싱하여 제1 부분(A)에 잔류하는 감광제를 완전히 제거함으로써 채널부 상부의 금속층(701A)을 노출한다. 이때 제2 부분(B)도 일부 식각된다.
- <74> 계속해서, 도 11a 내지 도 11c에 도시한 바와 같이, 제1 부분(A)의 데이터 배선(701B)과 함께 도핑된 비정질 규소층(160B)을 식각하여 데이터 배선(171, 173, 175, 179), 저항성 접촉층(161, 162, 163, 165)을 완성한다. 이때 제1 부분(A)의 비정질 규소층(151) 및 제2 부분(B)의 감광층의 일부가 식각될 수 있다.
- <75> 도 12a 내지 도 12c에 도시한 바와 같이, 데이터 배선(171, 173, 175, 179) 위에 보호층(180)을 형성한 후 사진 식각 공정으로 제1 내지 제5 접촉구(181 내지 185)를 형성한다. (제3 마스크)
- <76> 이후, 제1 내지 제5 접촉구(181 내지 185)를 포함하는 보호막(180) 위에 투명한 도전 물질인 ITO, 또는 IZO 등으로 도전층을 형성한 후 패터닝하여 화소 전극(190), 보조 게이트 패드(95), 보조 데이터 패드(97) 및 유지 전극 연결부(133)를 형성한다. (제4 마스크)
- <77> 화소 전극(190)은 제1 접촉구(181)를 통해 드레인 전극(175)과 연결되고, 보조 게이트 패드(95)는 제2 접촉구(182)를 통해 게이트 패드(125)와 연결되며, 보조 데이터 패드(97)는 제3 접촉구(183)를 통해 데이터 패드(179)와 연결되고, 유지 전극 연결부(91)

는 제4 및 제5 접촉구(184, 185)를 통해 유지 전극(133) 및 유지 전극선(131)과 연결된다.

<78> 도 13은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 14는 도 13의 XIV-XIV'선에 대한 단면도이다.

<79> 제4 실시예에 따른 박막 트랜지스터 기판의 게이트 배선(121, 123, 125), 유지 전극 배선(131, 133), 게이트 절연층(140), 비정질 규소층(151, 153), 저항성 접촉층(161, 163, 165) 및 데이터 배선(171, 173, 175, 179)은 제2 실시예에 따른 박막 트랜지스터 기판의 그것과 동일하다.

<80> 데이터 배선(171, 173, 175, 179) 위에 적, 녹, 청색의 색필터(230)가 화소 열별로 형성되어 있다. 색필터(230) 위에는 보호층(180)이 형성되어 있다. 이 때, 색필터(230)는 드레인 전극(175), 유지 전극(133) 및 유지 전극선(131)을 각각 노출하는 제1 내지 제3 접촉구(231, 234, 235)를 가지며, 보호층(180)은 드레인 전극(175), 게이트 패드(125), 데이터 패드(179), 유지 전극(133) 및 유지 전극선(131)을 각각 노출하는 제1 내지 제5 접촉구(181, 182, 183, 184, 185)를 가진다. 보호층(180)의 위에는 화소 전극(190), 보조 게이트 패드(95), 보조 데이터 패드(97) 및 유지 전극 연결부(91)가 형성되어 있다. 화소 전극(190)은 색필터(230)와 보호층(180)의 접촉구(231, 181)를 통하여 드레인 전극(175)에 연결되어 있고, 보조 게이트 패드(95)는 보호층(180)의 접촉구(182)를 통하여 게이트 패드(125)와 연결되어 있고, 보조 데이터 패드(97)는 보호층(180)의 접촉구(183)를 통하여 데이터 패드(179)와 연결되어 있다. 또, 유지 전극 연결부(91)는 색필터(230)와 보호층(180)의 접촉구(234, 184)를 통하여 유지 전극(133)과 연결되어 있고, 동시에 접촉구(235, 185)를 통하여 유지 전극선(131)과도 연결되어 있다.

- <81> 유지 전극 연결부(91)는 게이트선(121)을 건너 그 양측에 위치하는 유지 전극(133)과 유지 전극선(131)을 연결한다. 따라서, 유지 전극 배선(131, 133)은 기판 전체에서 각 화소 영역마다 형성되어 있는 연결 경로를 통하여 하나로 연결되어 있다. 이처럼 다중의 경로를 통하여 연결되므로 기판의 어느 지점까지라도 낮은 저항이 유지된다.
- <82> 도 15는 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 16은 도 15의 XVI-XVI'선에 대한 단면도이고, 도 17은 도 15의 XVII-XVII'선에 대한 단면도이다.
- <83> 제5 실시예에 따른 박막 트랜지스터 기판의 게이트 배선(121, 123, 125), 유지 전극 배선(131, 133), 게이트 절연층(140), 비정질 규소층(151, 153, 159), 저항성 접촉층(161, 162, 163, 165) 및 데이터 배선(171, 173, 175, 179)은 제3 실시예에 따른 박막 트랜지스터 기판의 그것과 동일하다.
- <84> 데이터 배선(171, 173, 175, 179) 위에 적, 녹, 청색의 색필터(230)가 화소 열별로 형성되어 있다. 색필터(230)는 화소 영역이 매트릭스형으로 배치되는 표시 영역에만 형성되어 있고, 패드(125, 179)가 형성되는 주변 영역에는 형성되지 않는다. 색필터(230) 위에는 보호층(180)이 형성되어 있다. 이 때, 색필터(230)는 드레인 전극(175), 유지 전극(133) 및 유지 전극선(131)을 각각 노출하는 제1 내지 제3 접촉구(231, 234, 235)를 가지며, 보호층(180)은 드레인 전극(175), 게이트 패드(125), 데이터 패드(179), 유지 전극(133) 및 유지 전극선(131)을 각각 노출하는 제1 내지 제5 접촉구(181, 182, 183, 184, 185)를 가진다. 보호층(180)의 위에는 화소 전극(190), 보조 게이트 패드(95), 보조 데이터 패드(97) 및 유지 전극 연결부(91)가 형성되어 있다. 화소 전극(190)은 색필터(230)와 보호층(180)의 접촉구(231, 181)를 통하여 드레인 전극(175)에 연결되어

있고, 보조 게이트 패드(95)는 보호층(180)의 접촉구(182)를 통하여 게이트 패드(125)와 연결되어 있고, 보조 데이터 패드(97)는 보호층(180)의 접촉구(183)를 통하여 데이터 패드(179)와 연결되어 있다. 또, 유지 전극 연결부(91)는 섹필터(230)와 보호층(180)의 접촉구(234, 184)를 통하여 유지 전극(133)과 연결되어 있고, 동시에 접촉구(235, 185)를 통하여 유지 전극선(131)과도 연결되어 있다.

<85> 유지 전극 연결부(91)는 게이트선(121)을 건너 그 양측에 위치하는 유지 전극(133)과 유지 전극선(131)을 연결한다. 따라서, 유지 전극 배선(131, 133)은 기판 전체에서 각 화소 영역마다 형성되어 있는 연결 경로를 통하여 하나로 연결되어 있다. 이처럼 다종의 경로를 통하여 연결되므로 기판의 어느 지점까지라도 낮은 저항이 유지된다.

<86> 이러한 구조의 박막 트랜지스터 기판을 형성하는 방법은 보호층을 형성하기 이전에 안료를 혼합한 감광제를 도포, 노광 및 현상하는 과정을 각 색깔별로 반복하여 섹필터(230)를 형성하는 단계가 추가되는 것을 제외하고는 제3 실시예에 따른 박막 트랜지스터 기판의 제조 방법과 동일하다.

<87> 이상에서는 유지 전극 배선(131, 133)을 유지 전극 연결부(91)를 이용하여 각 화소 영역 내에서 서로 연결함으로써 공통바를 생략하는 방법에 대하여 설명하였다. 다음의 실시예에서는 공통바를 완전히 생략하지는 않으나 공통바가 차지하는 면적을 축소하여 팬아웃 영역을 확보하는 방법에 대하여 설명한다.

<88> 도 18은 본 발명의 제6 실시예에 따른 박막 트랜지스터 기판의 개략도이다.

<89> 절연 기판(110) 위에 게이트선(121)이 가로 방향으로 뻗어 있고, 게이트선(121)과 절연되어 교차하는 데이터선(171)이 세로 방향으로 뻗어 있다. 게이트선(121)의 오른쪽

끝과 데이터선(171)의 위쪽 끝에는 각각 게이트 패드(125)와 데이터 패드(179)가 형성되어 있다. 도시하지는 않았으나 게이트 패드(125)와 표시 영역[게이트선(121)과 데이터선(171)이 교차하는 영역] 사이에는 팬아웃 영역이 형성되어 있다. 이웃하는 두 게이트선(121) 사이마다에는 유지 전극선(131)이 가로 방향으로 형성되어 있고, 이들 유지 전극선(131)은 우측의 제1 공통바(132)와 좌측의 제2 공통바(136)에 의하여 기관(110) 전체에서 서로 연결되어 있다. 제2 공통바(136)는 데이터선(171)과 같은 층에 형성되어 있고, 화소 전극(도시하지 않음)과 같은 층에 형성되어 있는 연결편(138)을 통하여 게이트선(121)과 같은 층에 형성되어 있는 유지 전극선(131)과 연결되어 있다. 이를 위하여 게이트 절연층과 보호층에는 접촉구(188, 189)가 형성되어 있다. 제1 공통바(132)의 한쪽 끝에는 패드(134)가 형성되어 있다.

<90> 여기서, 제2 공통바(136)의 폭(W2)은 제1 공통바(132)의 폭(W1)에 비하여 좁게 형성하며, $150\mu\text{m}$ 이하로 형성한다. 이를 통하여 팬아웃 영역을 충분히 넓게 확보할 수 있다.

<91> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<92> 이상과 같이, 유지 전극 배선을 각 화소 영역 내에 연결 경로를 형성하여 연결함으로써 게이트 패드와 표시 영역 사이의 공통바를 생략하거나 그 폭을 축소한다. 이를 통하여 팬아웃 영역을 충분히 확보함으로써 배선간 저항 차이를 저감한다.

【특허청구범위】

【청구항 1】

절연 기판;

상기 절연 기판 위에 형성되어 있는 게이트선,

게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 다수의 게이트 배선,

상기 절연 기판 위에 형성되어 있으며 유지 전극선 및 유지 전극을 포함하는 다수의 유지 전극 배선,

상기 게이트 배선 및 상기 유지 전극 배선 위에 형성되어 있는 게이트 절연층,

상기 게이트 절연층 위에 형성되어 있는 반도체층,

상기 게이트 절연층 위에 있으며,

상기 게이트선과 절연되어 교차하도록 형성되어 있는 데이터선,

상기 반도체층의 일부분과 접촉하고 있는 소스 전극,

상기 소스 전극과 대향하고 있으며 상기 반도체층의 다른 일부분과 접촉하고 있는 드레인 전극,

상기 데이터선의 일단에 연결되어 있는 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있는 보호층,

상기 보호층 위에 형성되어 있으며 상기 드레인 전극과 전기적으로 연결되어 있는
화소 전극,

상기 보호층 위에 형성되어 있으며 상기 게이트선을 사이에 두고 양측에 위치하는
상기 유지 전극선과 상기 유지 전극을 연결하는 유지 전극 연결부를 더 포함하는 박막
트랜지스터 기판.

【청구항 2】

절연 기판;

상기 절연 기판 위에 형성되어 있는 게이트선,

게이트 전극 및 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게
이트 배선,

상기 절연 기판 위에 형성되어 있으며 유지 전극선 및 유지 전극을 포함하는 다수
의 유지 전극 배선,

상기 게이트 배선 위에 형성되어 있는 게이트 절연층,

상기 게이트 절연층 위에 형성되어 있으며, 비정질 규소층,

저항성 접촉층 및 금속층의 3중층으로 이루어져 있고, 데이터선, 상기 데이터선과
연결되어 있는 소스 전극,

상기 소스 전극과 대향하고 있는 드레인 전극 및 데이터 패드를 포함하는 데이터
배선,

상기 데이터 배선 위에 형성되어 있는 보호층,상기 보호층 위에 형성되어 있으며,

상기 드레인 전극과 연결되는 화소 전극, 상기 보호층 위에 형성되어 있으며,
상기 게이트선을 사이에 두고 양측에 위치하는 상기 유지 전극선과 상기 유지 전극
을 연결하는 유지 전극 연결부를 더 포함하는 박막 트랜지스터 기판.

【청구항 3】

제1항 또는 제2항에서,
상기 데이터 배선과 상기 보호층 사이에 형성되어 있는 선크필터를 더 포함하는 박막
트랜지스터 기판.

【청구항 4】

제1항 또는 제2항에서,
상기 유지 전극선의 한쪽 끝을 모두 연결하는 공통바를 더 포함하는 박막 트랜지스
터 기판.

【청구항 5】

절연 기판,
상기 절연 기판 위에 가로 방향으로 길게 형성되어 있는 제1 신호선,
상기 절연 기판 위에 가로 방향으로 길게 형성되어 있는 제2 신호선,
상기 제1 및 제2 신호선과 절연되어 교차하고 있으며 세로 방향으로 길게 형성되
어 있는 제3 신호선,
상기 제1 신호선과 상기 제3 신호선이 교차하여 정의하는 화소 영역마다 형성되어
있는 화소 전극,

상기 제1 신호선, 상기 제3 신호선 및 상기 화소 전극에 연결되어 있는 박막 트랜지스터를 포함하고, 상기 제2 신호선은 상기 화소 영역마다 형성되어 있는 연결 경로를 통하여 서로 연결되어 있는 박막 트랜지스터 기판.

【청구항 6】

제5항에서,

상기 제2 신호선의 한쪽 끝을 연결하는 공통바를 더 포함하는 박막 트랜지스터 기판.

【청구항 7】

절연 기판,

상기 절연 기판 위에 가로 방향으로 길게 형성되어 있으며 제1 신호 패드를 포함하는 제1 신호선, 상기 절연 기판 위에 가로 방향으로 길게 형성되어 있는 제2 신호선,

상기 제1 및 제2 신호선과 절연되어 교차하고 있으며 세로 방향으로 길게 형성되어 있으며 제3 신호 패드를 포함하는 제3 신호선,

상기 제1 신호선과 상기 제3 신호선이 교차하여 정의하는 화소 영역마다 형성되어 있는 화소 전극,

상기 제1 신호선, 상기 제3 신호선 및 상기 화소 전극에 연결되어 있는 박막 트랜지스터,

상기 제2 신호선의 상기 제1 신호 패드 반대쪽 단부를 연결하는 제1 공통바,

상기 제2 신호선의 상기 제1 신호 패드쪽 단부를 연결하는 제2 공통바

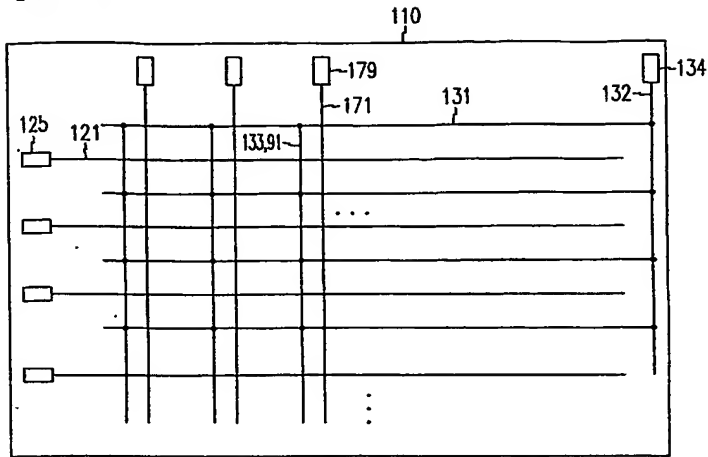
를 포함하고, 상기 제2 공통바는 150 μ m 이하의 폭을 가지는 박막 트랜지스터 기판.

0020045563

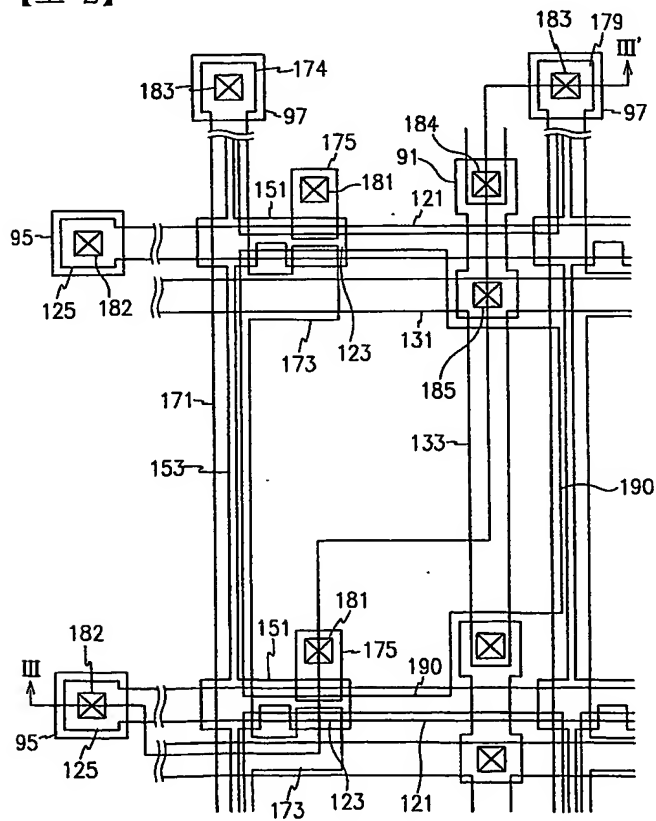
출력 일자: 2002/10/10

【도면】

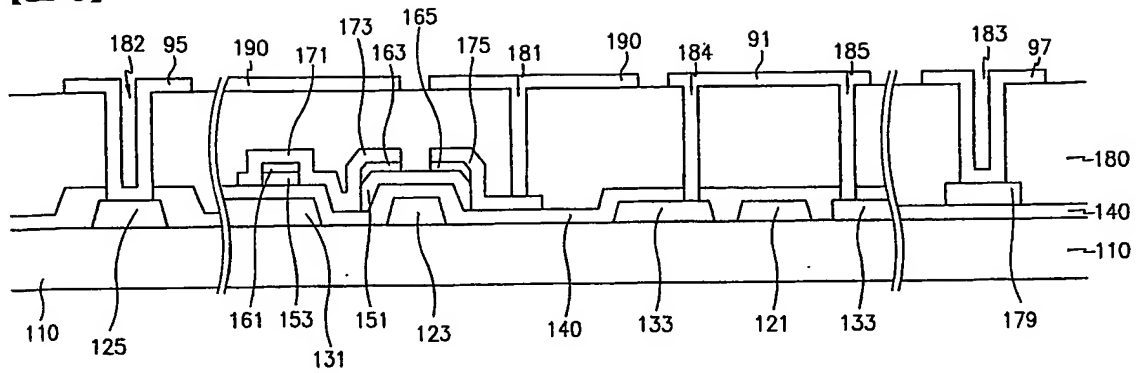
【도 1】



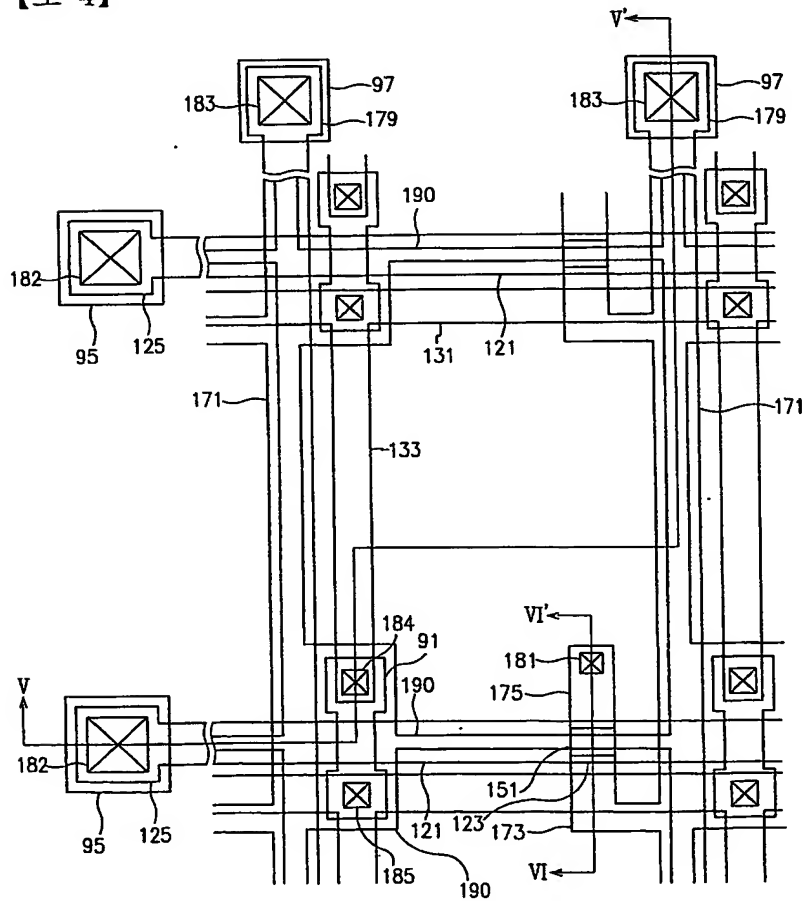
【도 2】



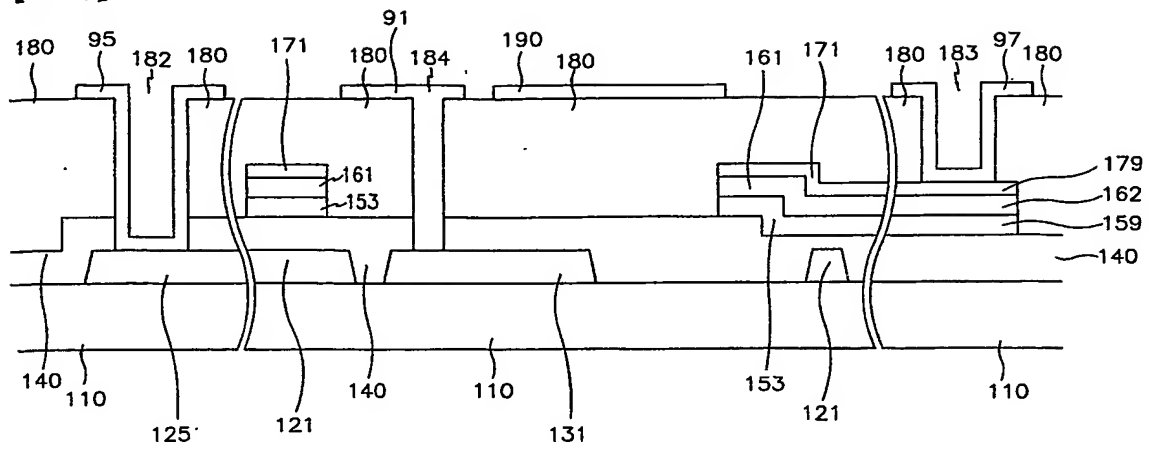
【도 3】



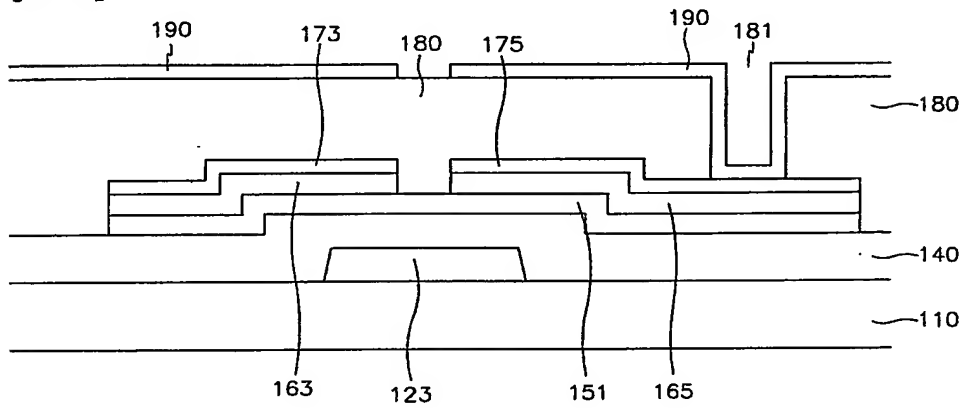
【도 4】



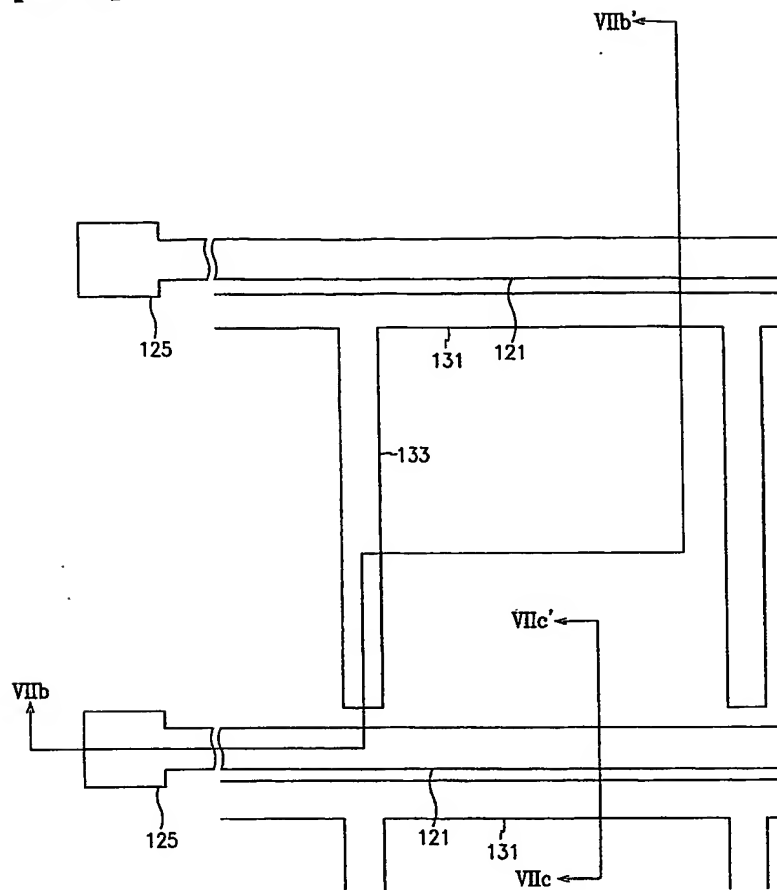
【도 5】



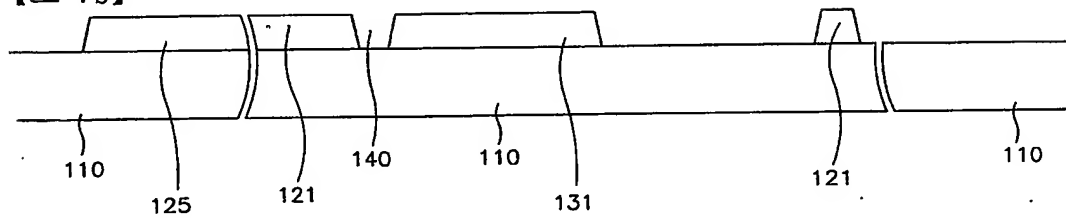
【도 6】



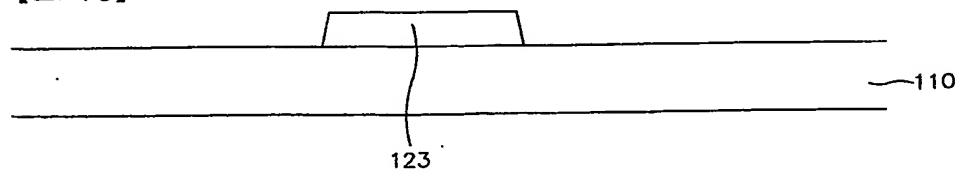
【도 7a】



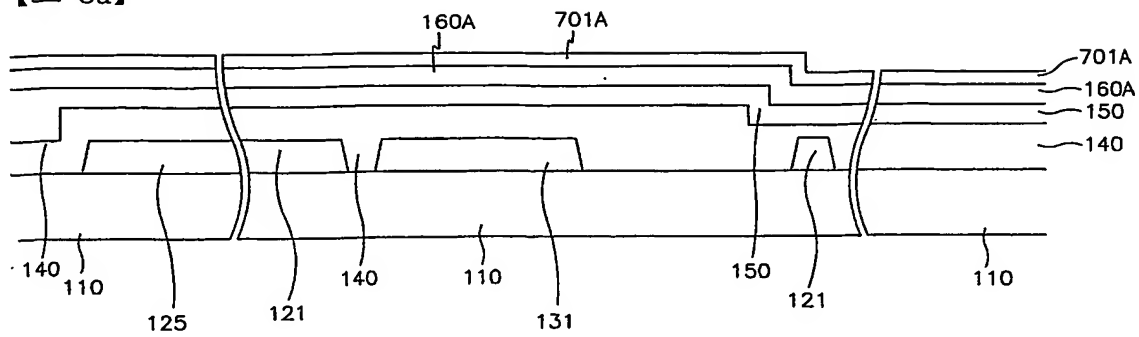
【도 7b】



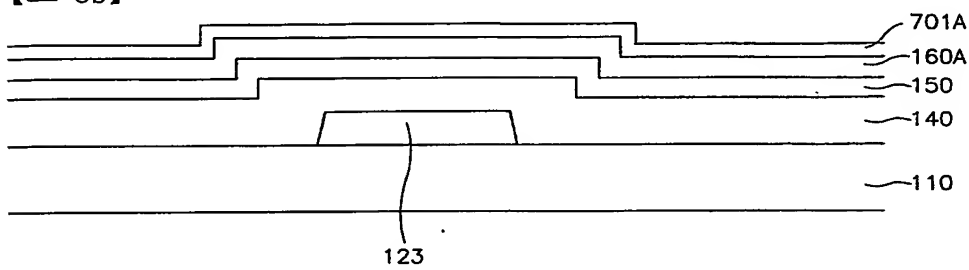
【도 7c】



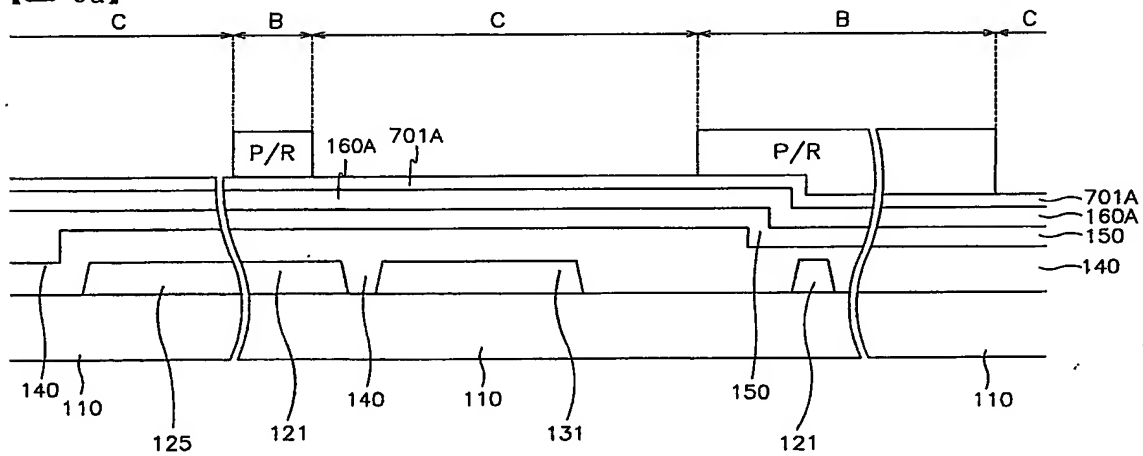
【도 8a】



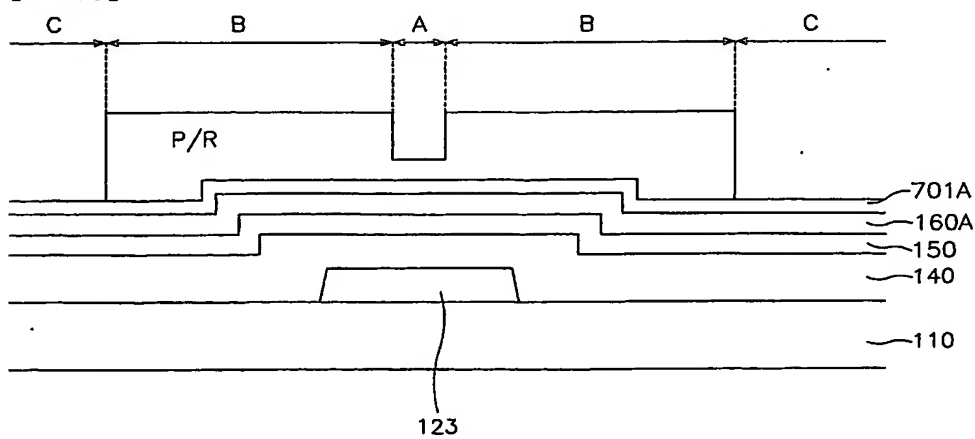
【도 8b】



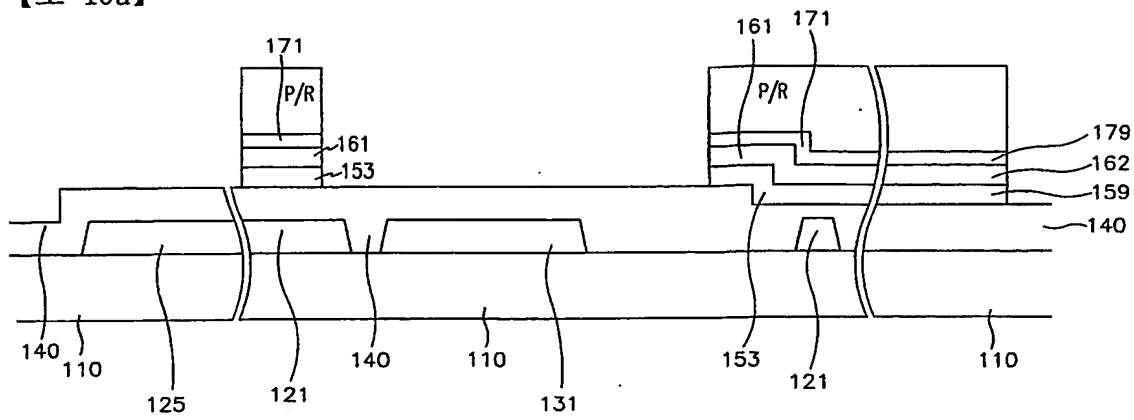
【도 9a】



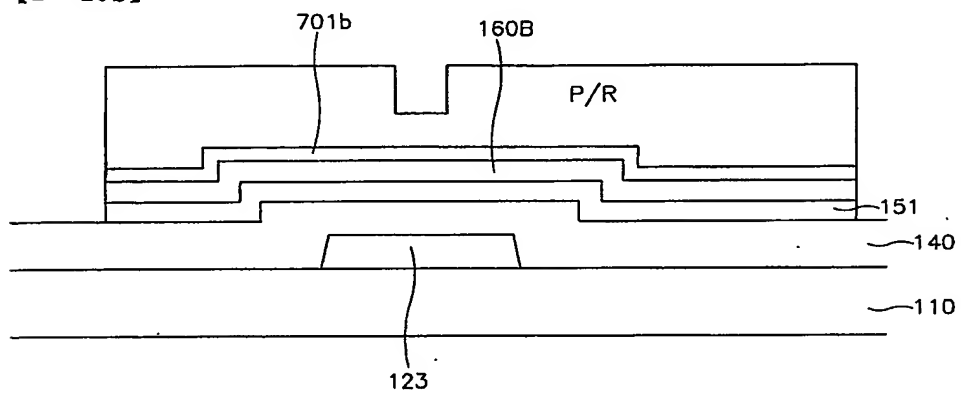
【도 9b】



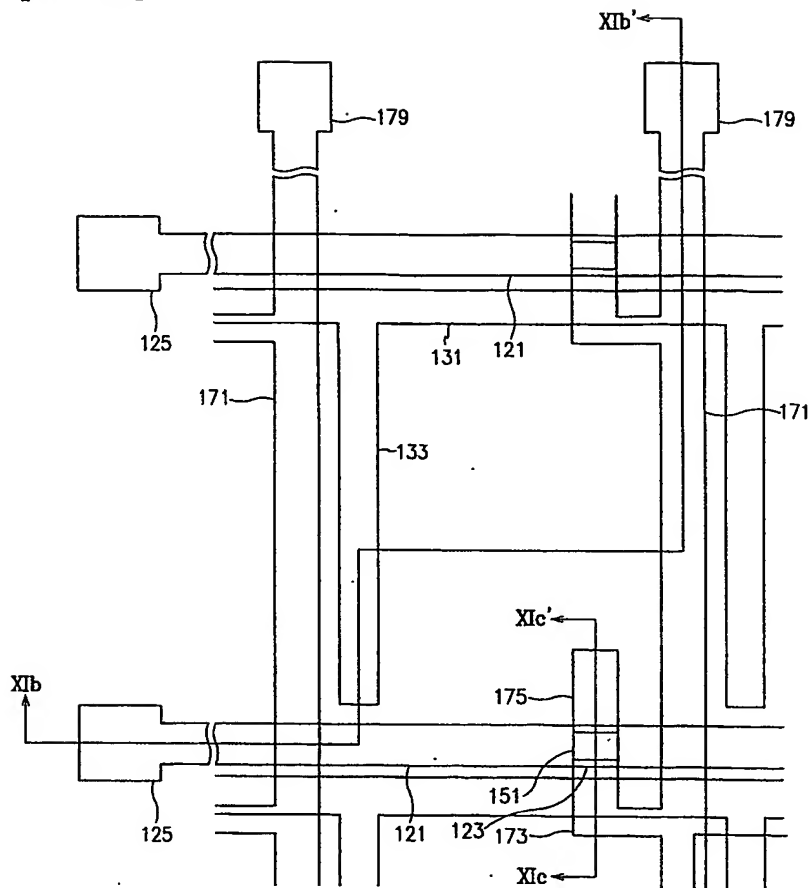
【도 10a】



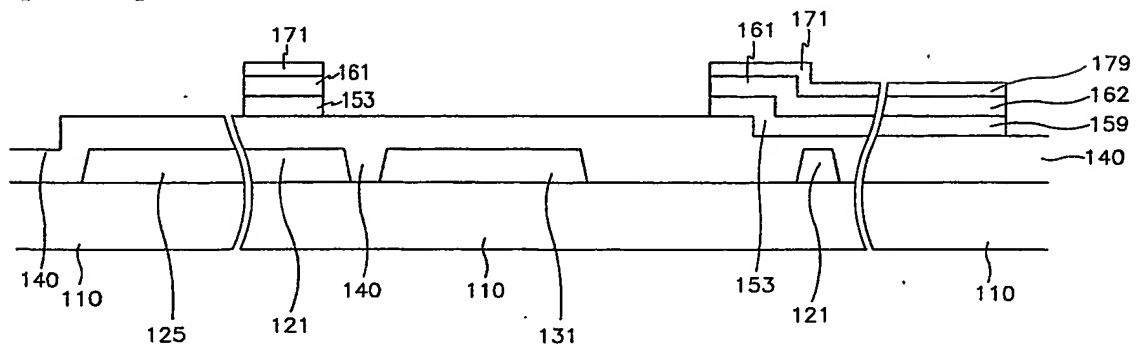
【도 10b】



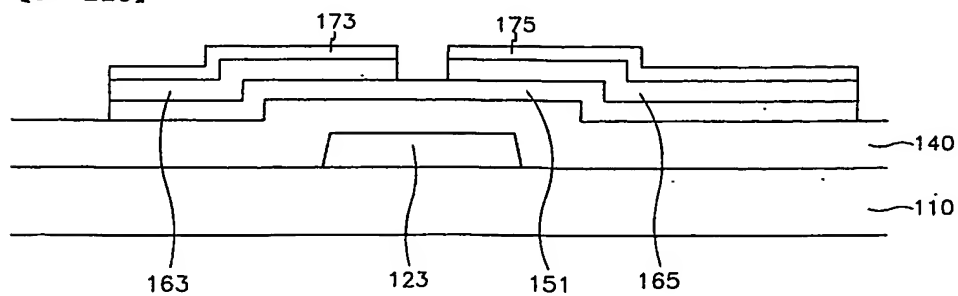
【도 11a】



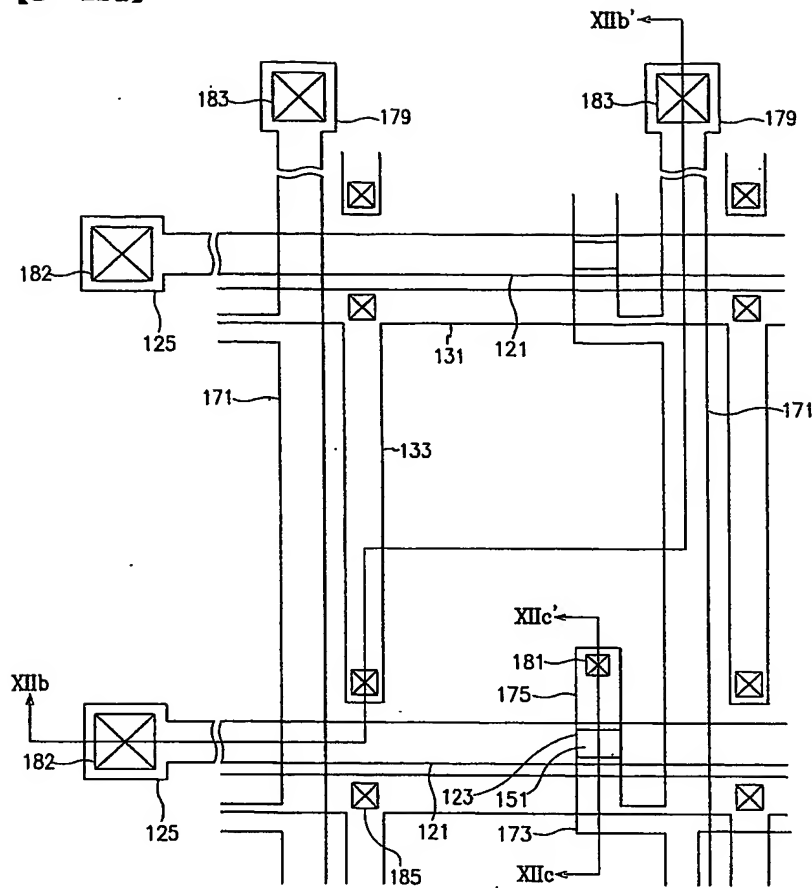
【도 11b】



【도 11c】



【도 12a】



【도 12b】

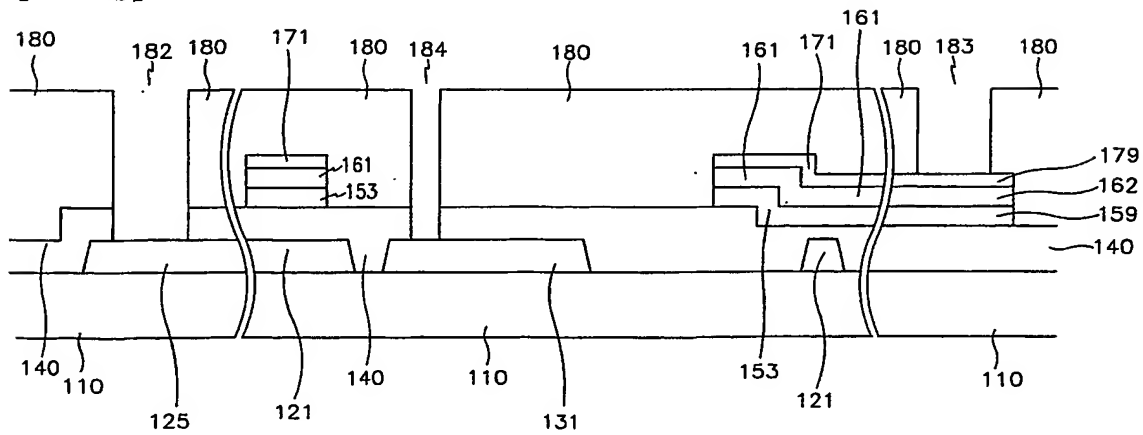
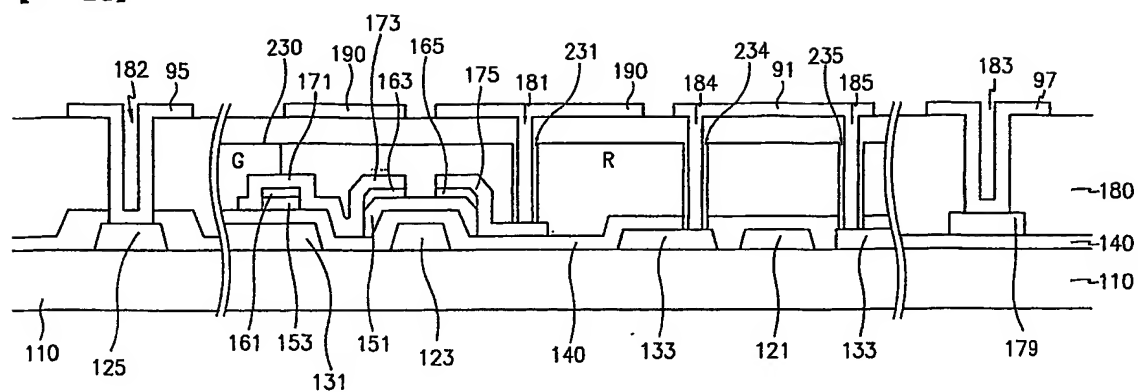
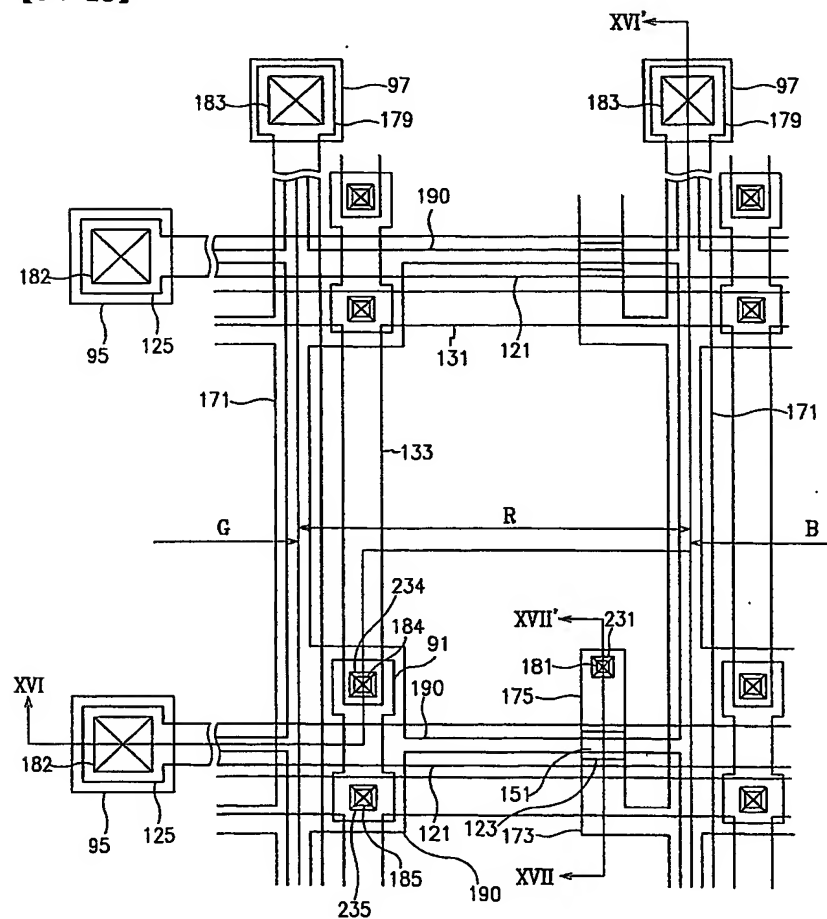


Fig. 11B is a cross-sectional view of the semiconductor device. It shows a substrate 110 with a central region 123. Above this region is a layer 140. On top of layer 140, there is a complex structure 180. This structure includes a central part 175 and side parts 173 and 181. A layer 163 is located below the central part 175, and a layer 165 is located below the side parts 173 and 181. A layer 151 is located between the central part 175 and the side parts 173 and 181. A layer 123 is located below the central part 175.

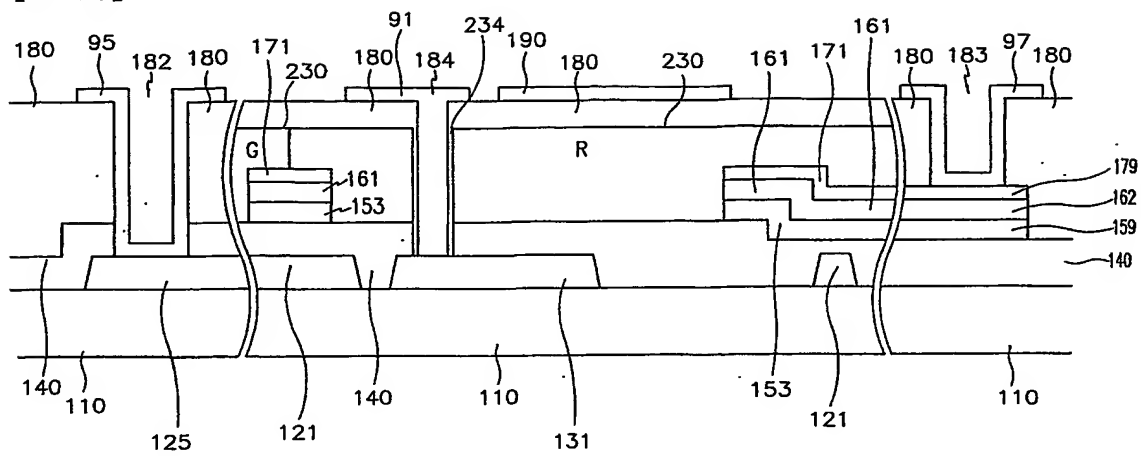
【도 14】



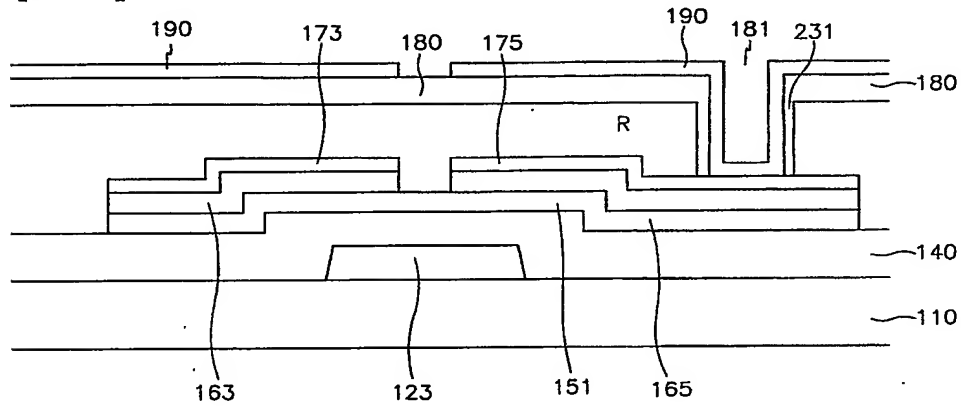
【도 15】



【도 16】



【도 17】



【도 18】

